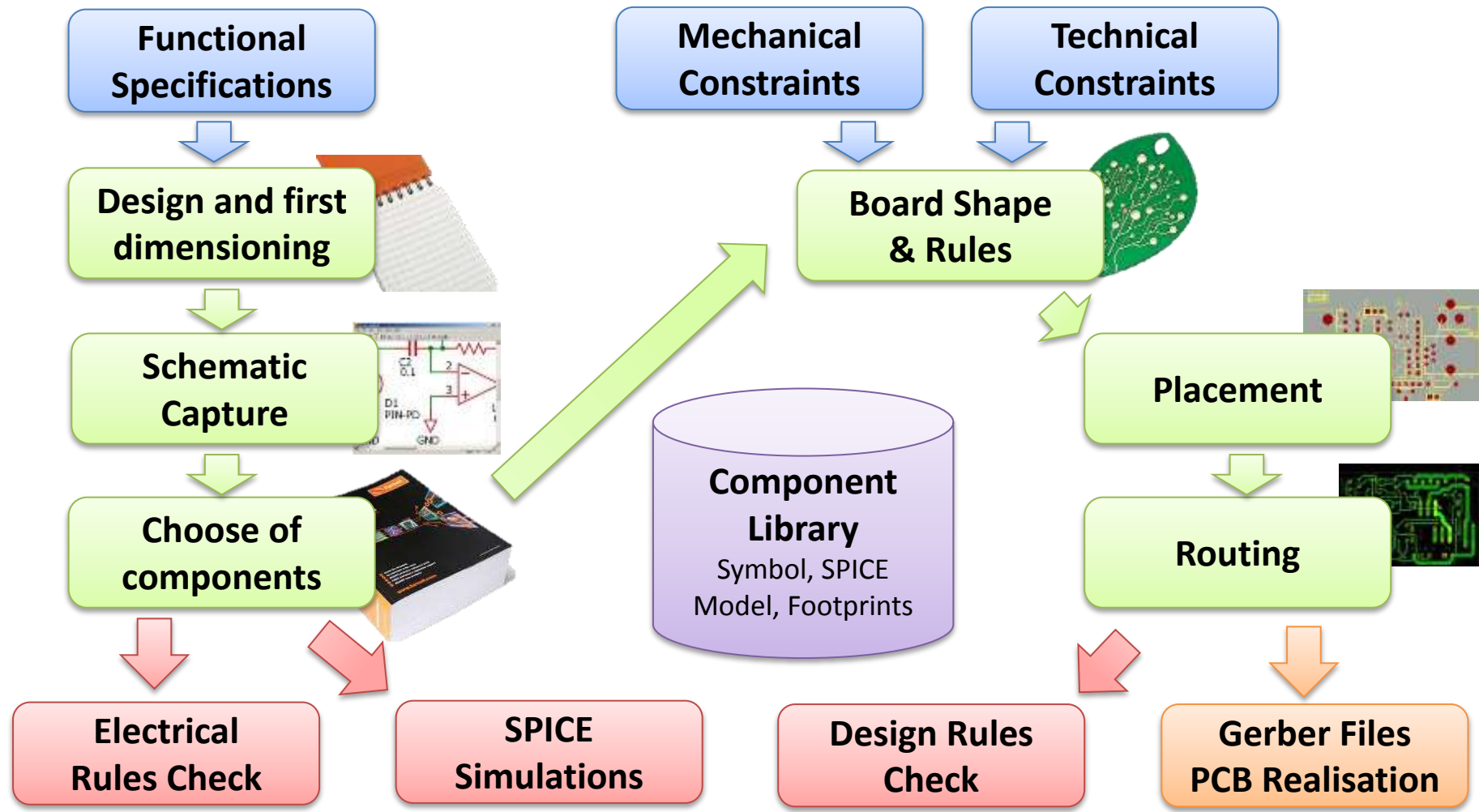


CONCEPTION DE CIRCUITS IMPRIMÉS (PCB)

DESIGN FLOW



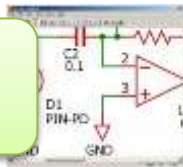
**Functional
Specifications**



**Design and first
dimensioning**



**Schematic
Capture**



**Choose of
components**



**Electrical
Rules Check**

Vérification des règles de câblage électrique du schéma

Rules to check

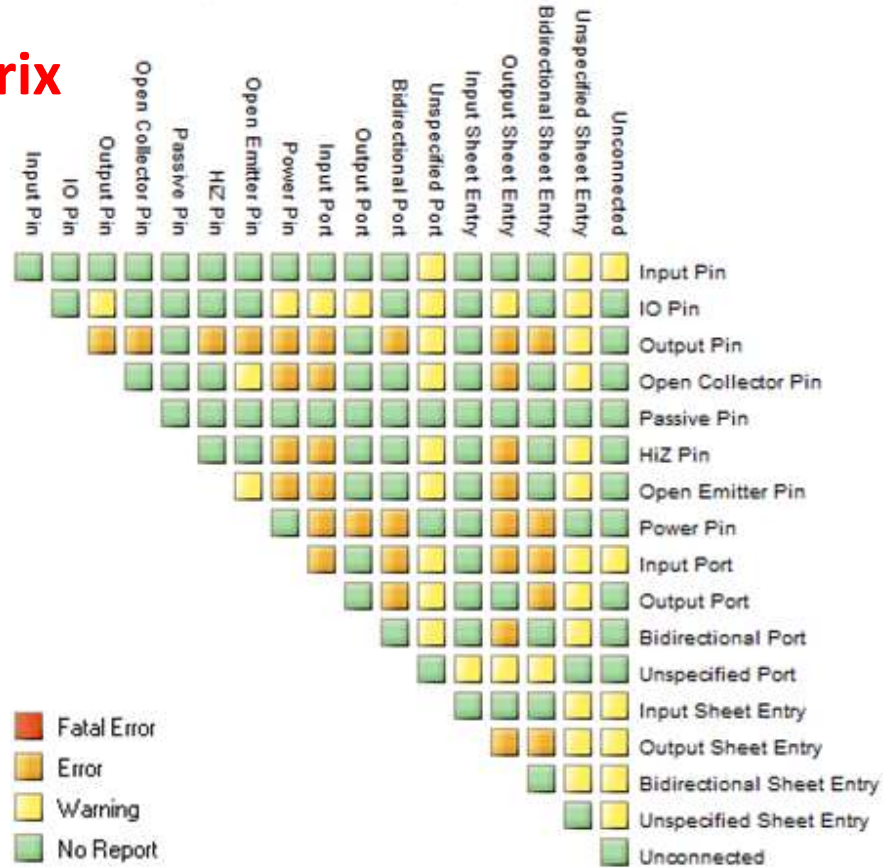
- **Missing package** : Un composant sans description du package correspondant.
- **Hidden nets** : Indique la connexion ou la non-connexion des nœuds cachés.
- **Floating net** : Un nœud a été défini mais n'est connecté à aucun composant.
- **Net with multiple name** : Un nœud possède plusieurs noms.
- **Single pin net** : Un nœud n'est connecté qu'à une seule patte de composant.
- **Duplicate Designator** : Deux composants du schéma ont le même nom.
- **Floating input pin** : Pattes de composant déclarés en entrée non-connectés
- **Signal with multiple drivers** : Connexion entre des pattes identifiés en sortie sur plusieurs composants (distinction *Output* et *Open Collector*)

Severity level : No Report, Warning, Error, Fatal Error

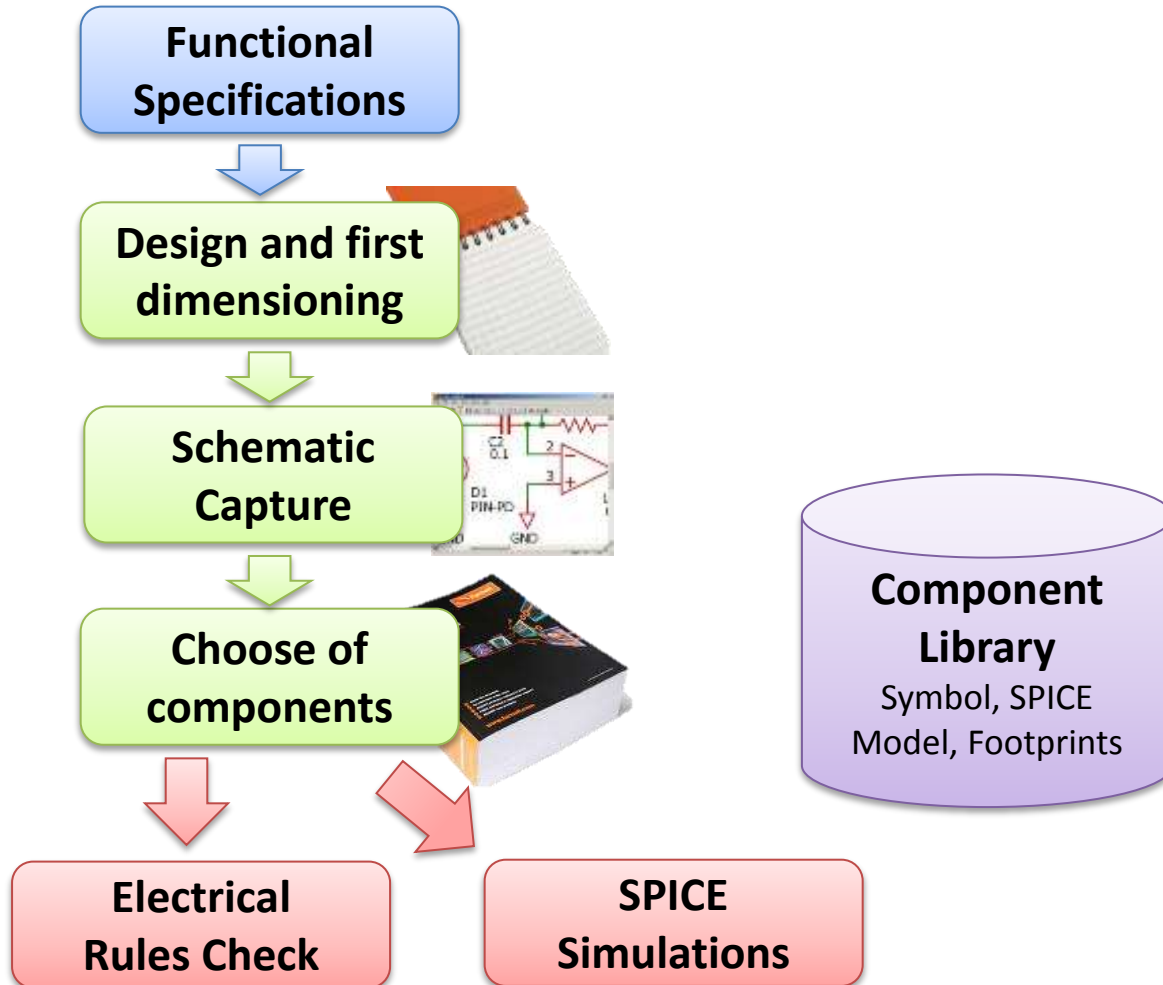
ELECTRICAL RULES CHECK

Vérification des règles de câblage électrique du schéma

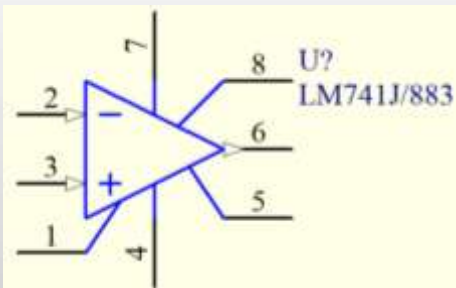
Connection Matrix



DESIGN FLOW



Base de données contenant toutes les informations nécessaires à la conception pour chaque composant

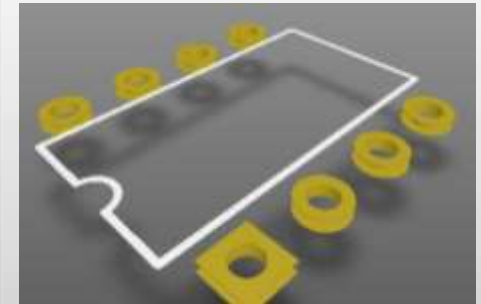


Symbol

```
.SUBCKT LM741 1 2 99 50 28

*** INPUT STAGE***
IOS 2 1 20N
R1 1 3 250K
R2 3 2 250K
I1 4 50 100U
R3 5 99 517
R4 6 99 517
Q1 5 2 4 QX
Q2 6 7 4 QX
C4 5 6 60.3614P
...
```

Model



Footprint

Empreinte physique du composant Dépend du boîtier (*packaging*)

Boîtiers standards

- **Through-hole** : Boîtiers avec des pattes traversant la carte.
 - Composants passifs axiaux et radiaux
 - Circuits intégrés DIP
 - Transistor outline TO
- **Surface Mount** : Boîtier soudés à même la surface de la carte.
 - Composants passifs en boîtier standard
 - Small Outline Packages SOIC, SOP, TSOP, SOT ...
 - Chip Carrier PLCC, CLCC ...
 - Flat Package QFP, QFN ...
 - Pin Grid Array PGA
 - Ball Grid Array BGA

Empreinte physique du composant
Dépend du boîtier (*packaging*)

Dipôle traversants



Dipôle axiaux

Le plus souvent l'espacement entre les deux plots est un multiple de 2,54 mm (100 millièmes de pouces).

Ex : AXIAL-0.5 sous Altium pour une résistance classique.



Dipôle radiaux

Deux informations : rayon du composant + espacement entre les deux pattes.

Empreinte physique du composant
Dépend du boîtier (*packaging*)

Transistor Outline



TO-3

*Diode et transistors
de puissance*



TO-5

*Photodiodes
Phototransistors*

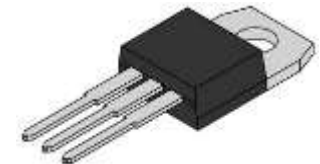


TO-18

Transistor de signal



TO-92



TO-220

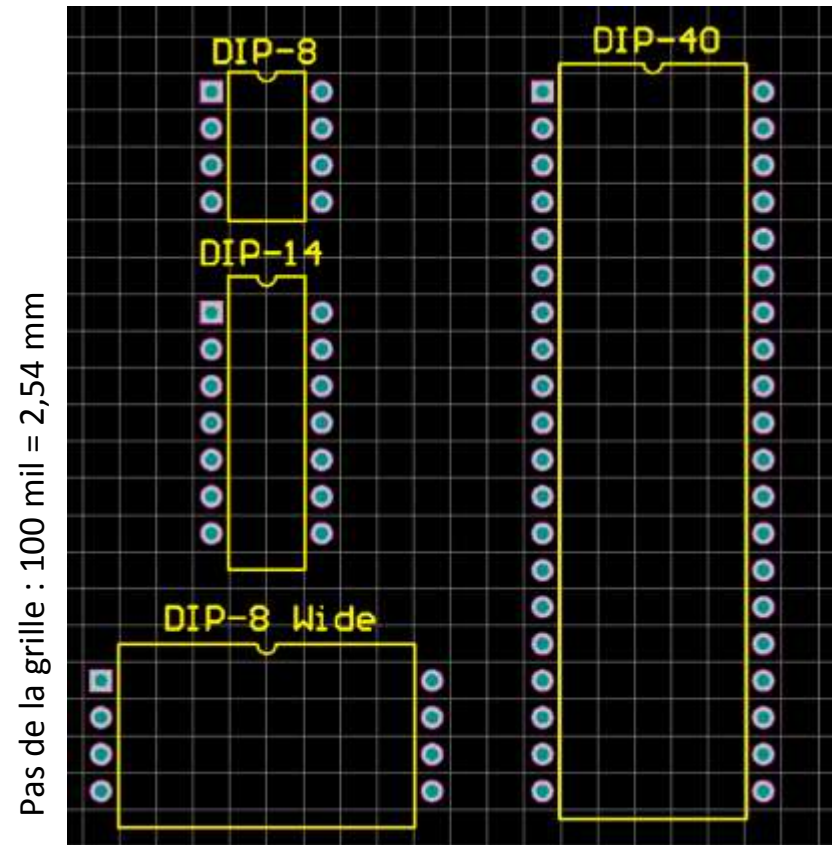
*Transistor de
puissance ; régul.
de tension*

Empreinte physique du composant
Dépend du boîtier (*packaging*)

Dual-in-line Package (DIL)



- **Pitch vertical** : 100 mil
- **Pitch horizontal** :
 - Standard : 300 mil
 - Passage à 600 mil au-delà de 20 pins
 - Version Wide (900 mil)



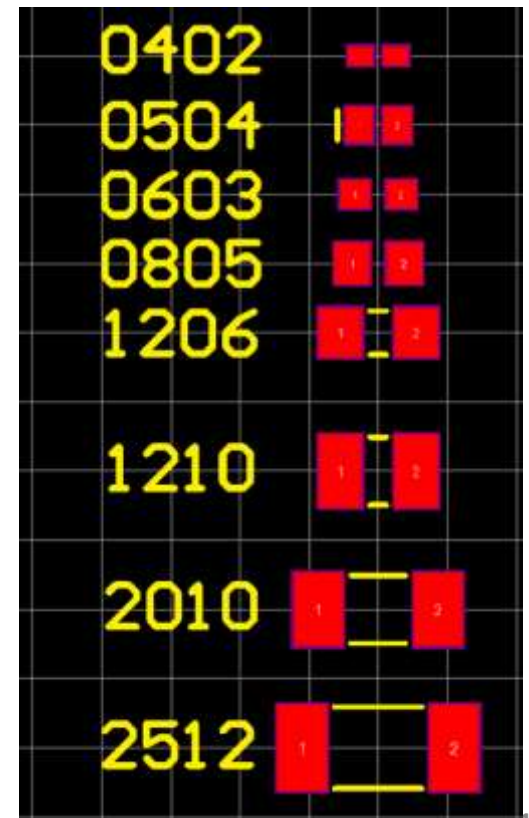
Empreinte physique du composant
Dépend du boîtier (*packaging*)

Dipôles montés en surface (1/2)



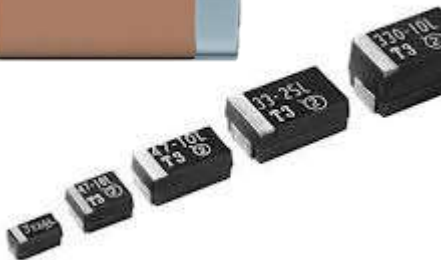
Boîtier caractérisé par deux chiffres : L x W

Boîtier	L	W
0402 (1005)	1 mm	0,5 mm
0504 (1310)	1,3 mm	1 mm
0603 (1608)	1,6 mm	0,8 mm
0805 (2012)	2 mm	1,2 mm
1206 (3216)	3,2 mm	1,6 mm
1210 (3225)	3,2 mm	2,5 mm
2010 (5025)	5 mm	2,5 mm
3212 (6332)	6,3 mm	3,2 mm



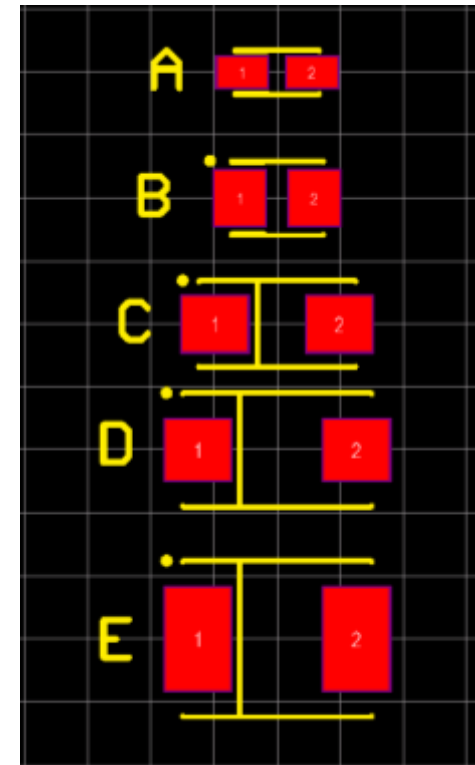
Empreinte physique du composant
Dépend du boîtier (*packaging*)

Dipôles montés en surface (2/2)



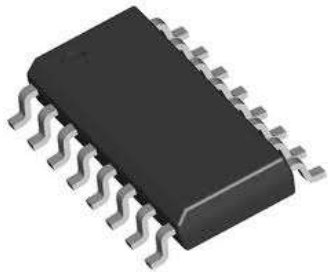
Boîtier caractérisé par une lettre

Boîtier	L	W
A	3,2 mm	1,6 mm
B	3,5 mm	2,8 mm
C	6,0 mm	3,2 mm
D	7,3 mm	4,3 mm
E	7,3 mm	6 mm



Empreinte physique du composant
Dépend du boîtier (*packaging*)

Small Outline Packages (1/3)



Small-Outline Integrated Circuit (SOIC)

- Vertical pitch : 50 mil (1,27 mm)
- IC body width (*Narrow –N*) : 6 mm
- IC body width (*Wide –W*) : 10,5 mm
- Pin : 0,4 mm x 1 mm
- 8 to 28 pins



Shrink Small-Outline Package (SSOP)

- Vertical pitch : 25 mil (0,65 mm)
- IC body width : 5,3 mm
- Pin : 0,3 mm x 1,25 mm
- 16 to 40 pins

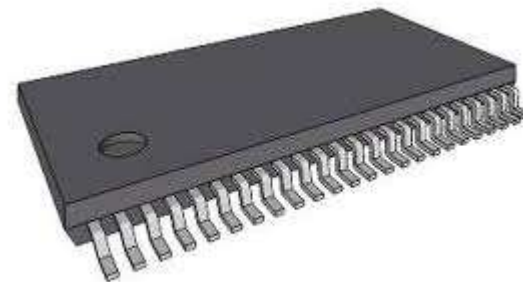
Empreinte physique du composant
Dépend du boîtier (*packaging*)

Small Outline Packages (2/3)



Thin Small-Outline Package (TSOP)

- Vertical pitch : 20 mil (0,5 mm)
- IC body width (*Type I*) : 18,4 mm
- IC body width (*Type II*) : 10,6 mm
- Pin : 0,5 mm x 1 mm
- 20 to 66 pins

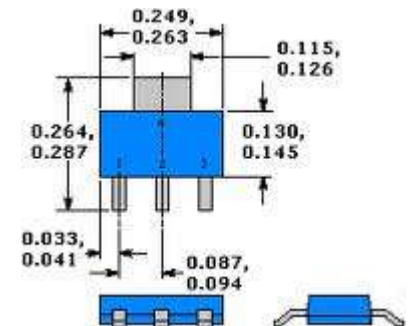
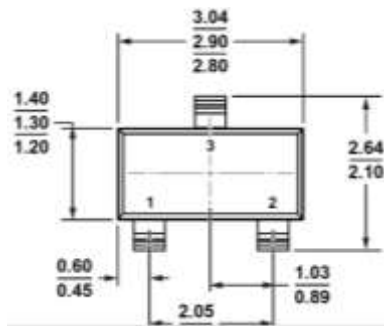


Thin Shrink Small-Outline Package (TSSOP)

- Vertical pitch : 0,4 mm to 0,65 mm
- IC body width : 3, 4.4 or 6.1 mm
- Pin : 0,4 mm x 1 mm
- 8 to 80 pins

Empreinte physique du composant
Dépend du boîtier (*packaging*)

Small Outline Packages (3/3)



Small Outline Transistor SOT-23

- Diode et transistors
- Existe en version 4, 5 et 6 broches



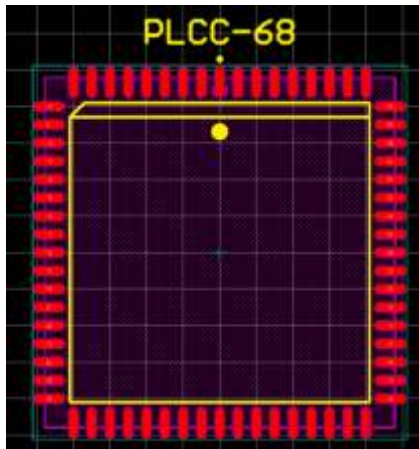
Small Outline Transistor SOT-222

- Diode et transistor
- Existe aussi en version 5 et 6 broches



Empreinte physique du composant
Dépend du boîtier (*packaging*)

Plastic Lead Chip Carrier (PLCC)

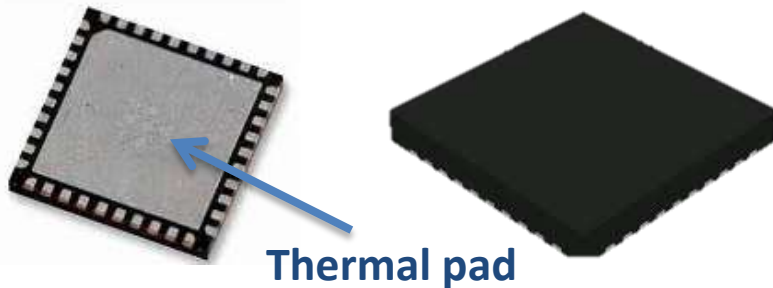


Pins	L	W	Pitch
20	8,8 mm	8,8 mm	1,27 mm
28	11,4 mm	11,4 mm	1,27 mm
32	11,4 mm	13 mm	1,27 mm
44	16,5 mm	16,5 mm	1,27 mm
52	19,0 mm	19,0 mm	1,27 mm
68	24,1 mm	24,1 mm	1,27 mm
84	29,2 mm	29,2 mm	1,27 mm
100	34 mm	34 mm	1,27 mm
124	42 mm	42 mm	1,27 mm

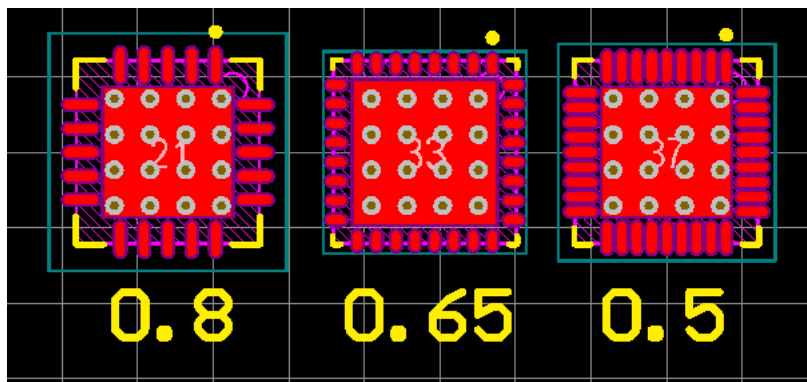
COMPONENT FOOTPRINT

Empreinte physique du composant
Dépend du boîtier (*packaging*)

Quad Flat No-lead Package (QFP / QFN)

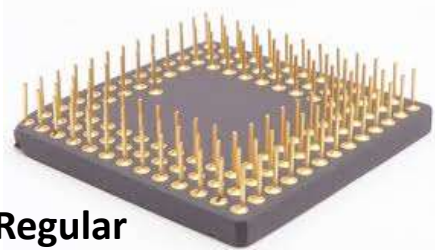


Width	0,5 mm pitch	0,65 mm pitch	0,80 mm pitch
2 mm	8		
3 mm	12/16	8/12	4
4 mm	20/24/28	12/16	12
5 mm	28/32	20/24	16
6 mm	36/40	24/28	20
7 mm	40/44/48	32/36	28
8 mm	48/52/56	36/40/44	32
9 mm	56/60/64	44/48	36
10 mm	64/68/75		
12 mm	80		

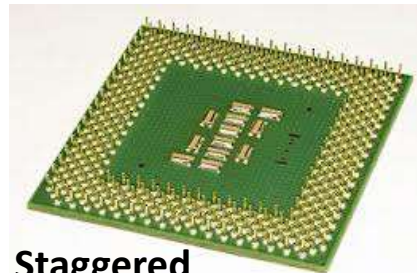


Empreinte physique du composant
Dépend du boîtier (*packaging*)

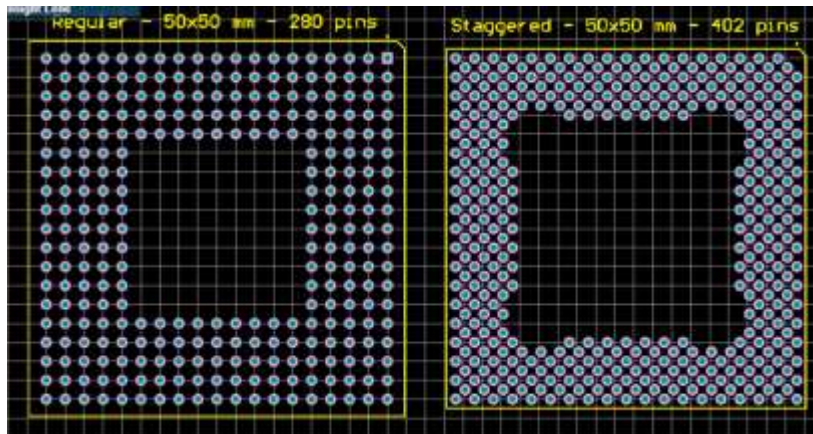
Pin Grid Array



Regular



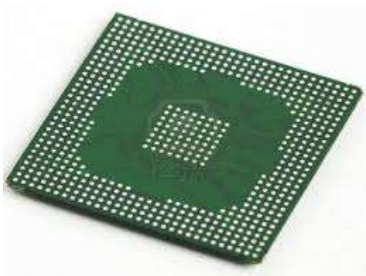
Staggered



Width	Regular pitch	Staggered pitch
27x27 mm	68	
30x30 mm	84	141
35x35 mm	120	
40x40 mm	176	
45x45 mm	208	
50x50 mm	280	402
53x53 mm	299	
55x55 mm		475
58x58 mm		559
62x62 mm		655

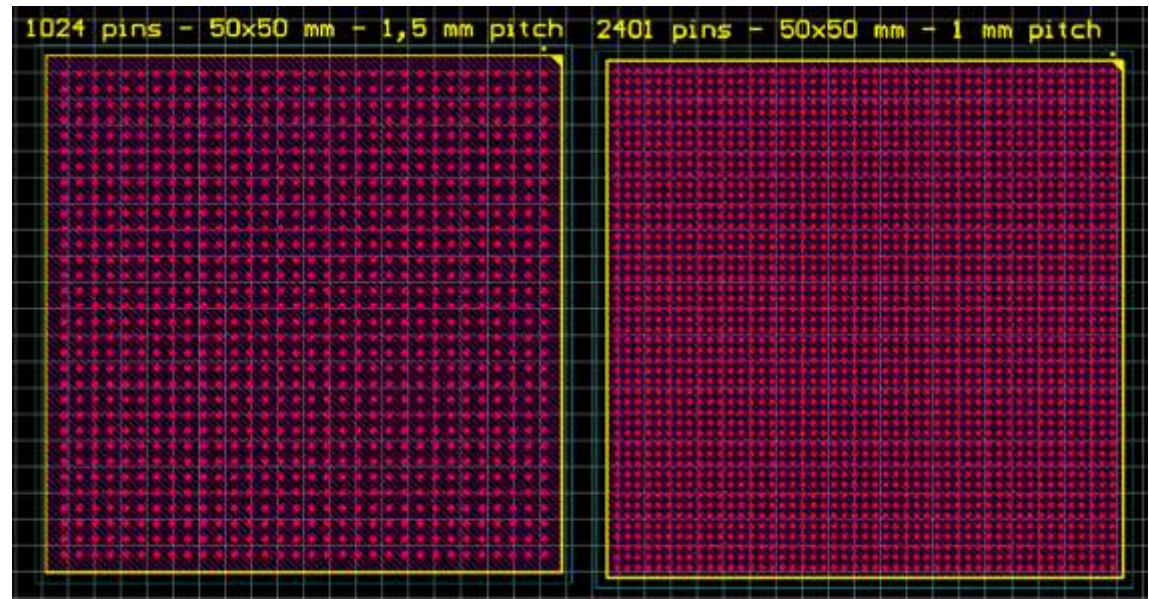
Empreinte physique du composant
 Dépend du boîtier (*packaging*)

Ball Grid Array

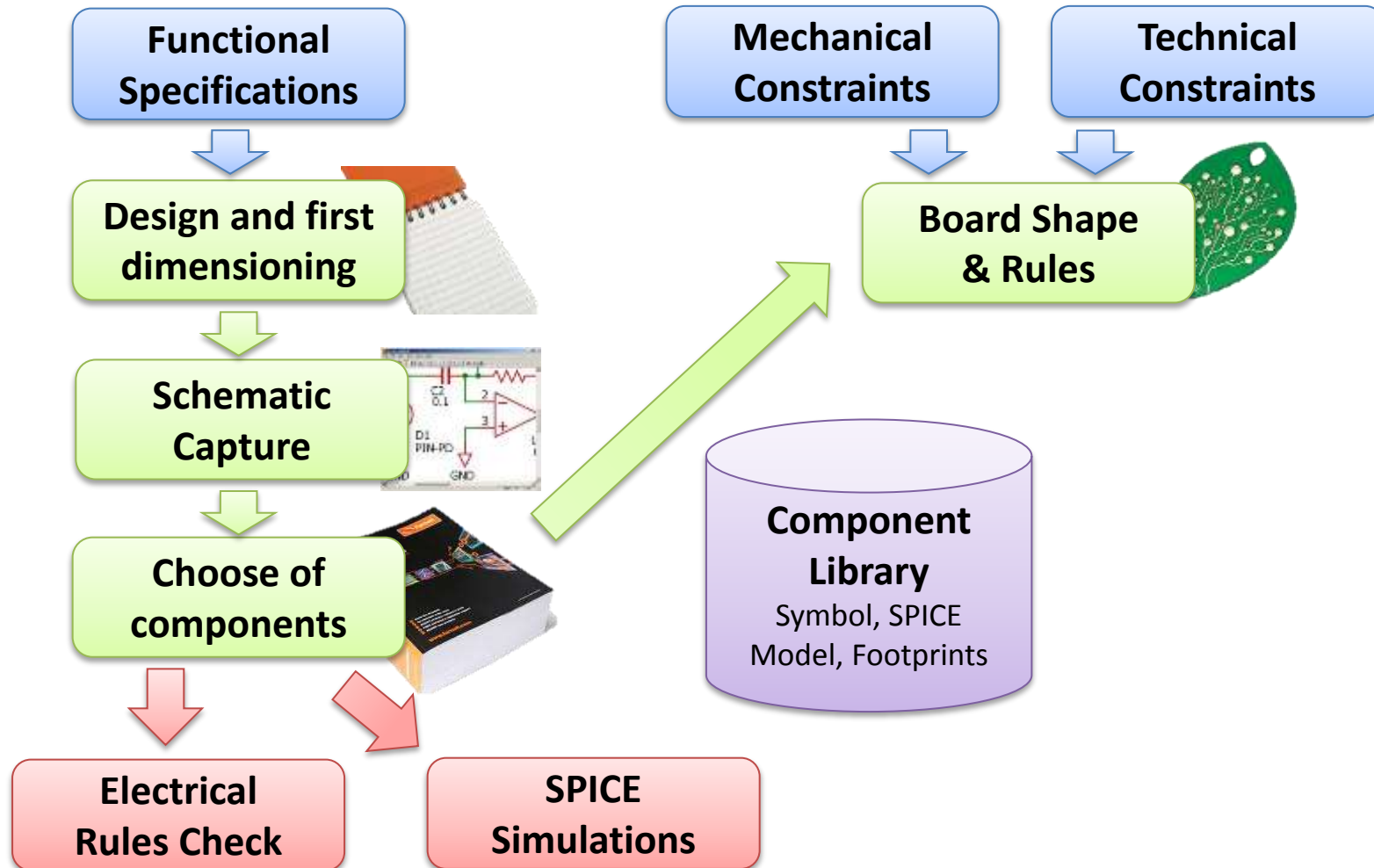


Ball Grid Array

- Variable pitch : 20 to 60 mil
- Variable Length : 5 mm to 50 mm
- Variable Pin plan
- 100 to 2400 pins



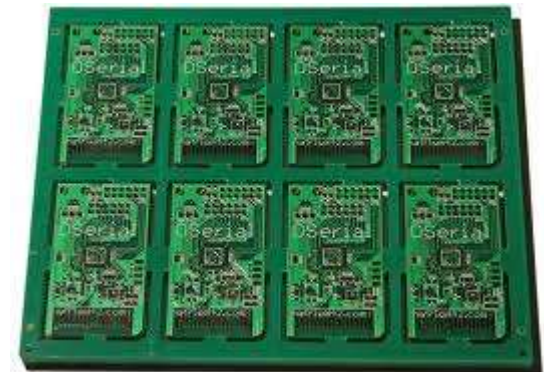
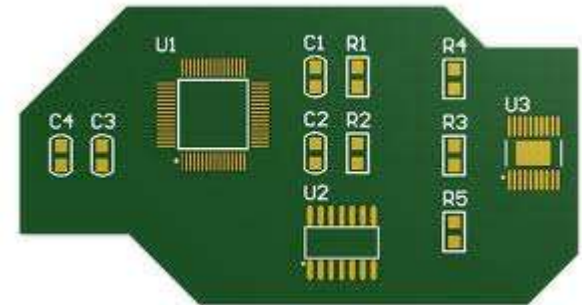
DESIGN FLOW



Forme géométrique du PCB Dépend des contraintes mécaniques du système

Quelques pièges classiques à éviter

- Ne pas oublier les trous servant à fixer la carte
- Bien calculer l'encombrement des trous en fonction de la fixation (écrou, tête de vis)
- Attention à l'encombrement en hauteur des composants (condensateur etc...)
- Ne pas faire passer de pistes en bordure de carte (risque de court-circuit à la découpe)
- Panéliser pour optimiser l'espace
- Côter à l'aide des couches dédiés



Règles de dessin du PCB

Imposées par le prestataire en charge de la réalisation

Principales règles

Preferred Width 0.21mm
Min Width 0.1mm
Max Width 2mm

Routing track width

Measurement Method Absolute
Minimum 0.025mm
Maximum 5.08mm

Hole size

Min Gap 0.254mm
Max Gap 0.254mm
Preferred Gap 0.254mm
Max Uncoupled Length 12.7mm
 Layers in layerstack only

Differential Pairs Routing

Different Nets Only
Minimum Clearance 0.5mm

Clearance

Via Diameter
Minimum 0.6mm
Maximum 1.27mm
Preferred 0.7mm

Via Hole Size
Minimum 0.3mm
Maximum 0.8mm
Preferred 0.3mm

Via diameter

Connect Style:
Field Connect
Conductors 4
90 Angle
Conductor Width 0.254mm

Polygon connect

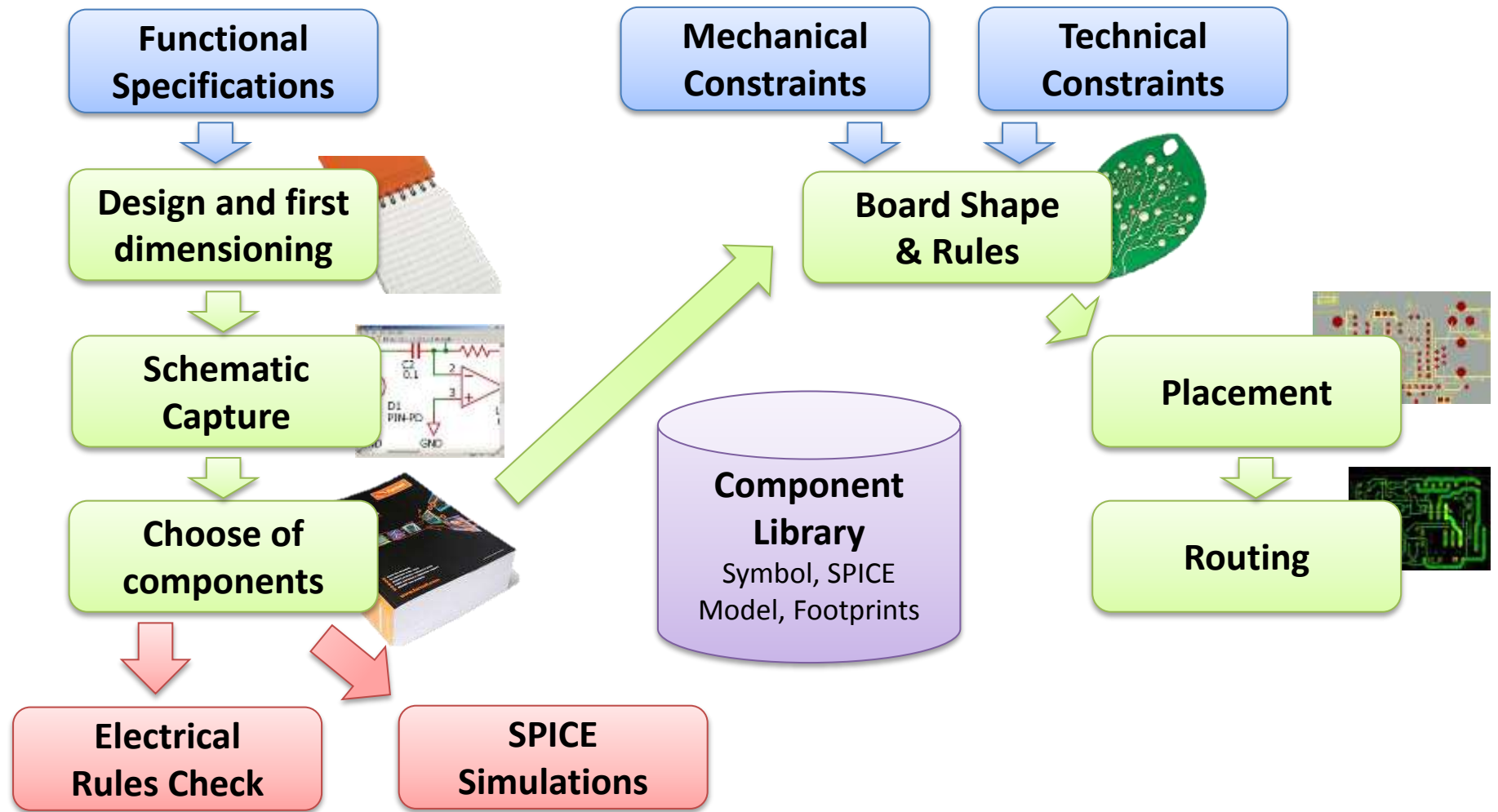
Règles de dessin du PCB

Imposées par le prestataire en charge de la réalisation

Classes de PCB

Design Rules	Classe 1	Classe 2	Classe 3	Classe 4	Classe 5	Classe 6
Épaisseur minimal des pistes (mm)	0,68	0,50	0,31	0,21	0,15	0,12
Espacement (mm)	0,68	0,50	0,31	0,21	0,15	0,12
Diamètre minimal des trous et des vias (mm)						
Diamètre de la pastille autour des trous (mm)	1,19	0,78	0,60	0,49	0,39	0,35
Diamètre de la pastille autour des vias (mm)			0,45	0,34	0,24	0,20
Diamètre des trous (mm)	0,7	0,7	0,7	0,7	0,7	
Épaisseur de cuivre sur les couches externes (µm)	105	105	105	70	50	35
Épaisseur de cuivre sur les couches internes (µm)	105	105	70	35	35	17,5

DESIGN FLOW



Qu'est ce qu'une piste de cuivre ?

Un conducteur entre
deux ou plusieurs
composants



Un composant
électronique



Une piste de cuivre est une résistance ...

Par définition

$$R = \frac{\rho \cdot L}{W \cdot t} \quad \text{avec } \rho_{Cu} = 1,7 \cdot 10^{-8} \Omega \cdot m$$

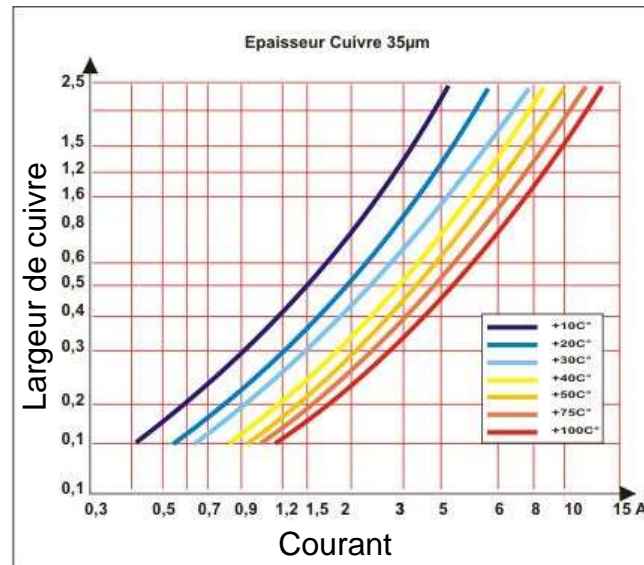
- Une piste de cuivre de classe 6 présente une résistance de $4 \Omega/m$.
 ... donc une alimentation 12V / 1A transportée sur une piste de 25 cm en classe 6 arrive à 11 V.
- De même, les pistes fines ont une forte résistance thermique
 ... la température d'une piste de classe 6 parcouru par un courant d'1A augmente de 45°C ... et de 220° pour 2A.
 ... une piste interne véhiculant un courant d'1A doit être large au minimum de 3,2 mm pour que sa température ne s'élève pas de plus d' 1°C

Une piste de cuivre est une résistance ...

Norme IPC-2221

$$I = k \cdot A^{0,725} \cdot \Delta T^{0,44}$$

- avec $k = 0,048$ pour une piste externe et $k = 0,024$ pour une piste interne;
- A est la section de la piste de cuivre (largeur x épaisseur de cuivre);
- ΔT est l'élévation de température



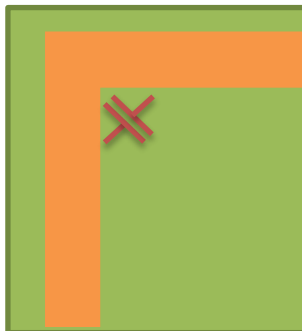
Source : www.safe-ltd.com

Deux pistes de cuivre forment une capacité ...

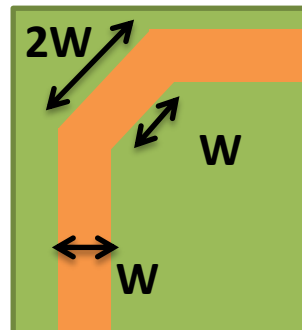
Par définition

$$C = \frac{\varepsilon \cdot L \cdot t}{e} \quad \text{avec } \varepsilon_{FR4} = 4,7 \cdot \varepsilon_0$$

- Capacité parasite entre deux pistes parallèles
- Capacité parasite sur une même piste :



PAS BIEN !



BIEN !



ENCORE MIEUX !

PLACEMENT & ROUTING

Deux pistes de cuivre forment une capacité ...

Par définition

$$C = \frac{\varepsilon \cdot L \cdot t}{e} \quad \text{avec } \varepsilon_{FR4} = 4,7 \cdot \varepsilon_0$$

- Capacité parasite entre deux pistes parallèles
- Capacité parasite sur une même piste :



PAS BIEN !



BIEN !



MIEUX !

Important surtout en Haute Fréquence !!!

Deux pistes de cuivre forment une capacité ...

- Risque de claquage du diélectrique
 ... Deux pistes présentant une différence de potentiel de 100 V et séparées de 0,12 mm forment un champ électrique de 83 kV/m.

Gamme de tension entre les pistes	Espacement minimal recommandé (couches internes)	Espacement minimal recommandé (couches externes)
0 à 30 V	0,05 mm	0,1 mm
30 à 100 V	0,1 mm	0,6 mm
100 à 150 V	0,2 mm	0,6 mm
150 à 300 V	0,2 mm	1,25 mm
300 à 500 V	0,25 mm	2,5 mm
> 500 V	0,0025 mm/V	0,005 mm/V

Source : Norme IPC-2221

Les pistes de cuivre sont des inductance

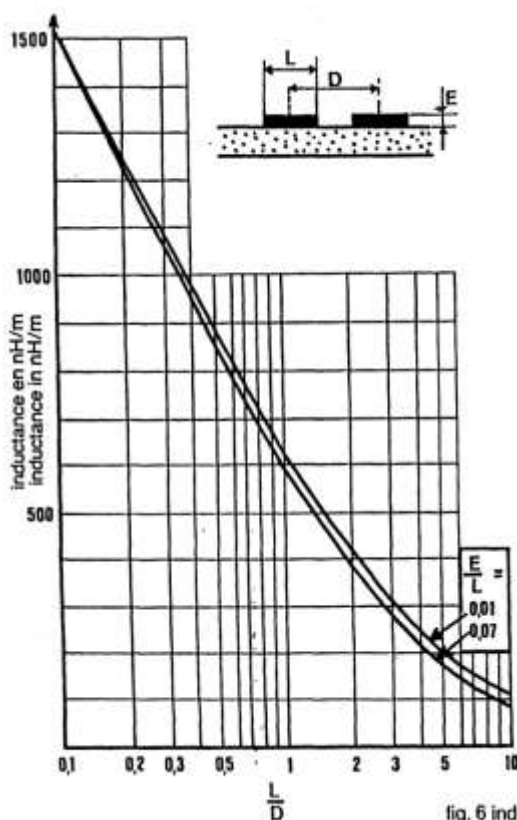
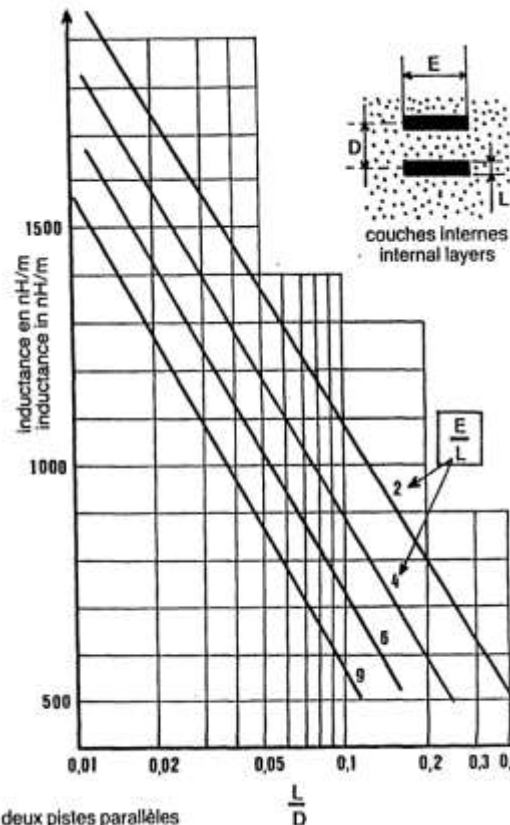


fig. 6 inductance de deux pistes parallèles
inductance of two parallel tracks



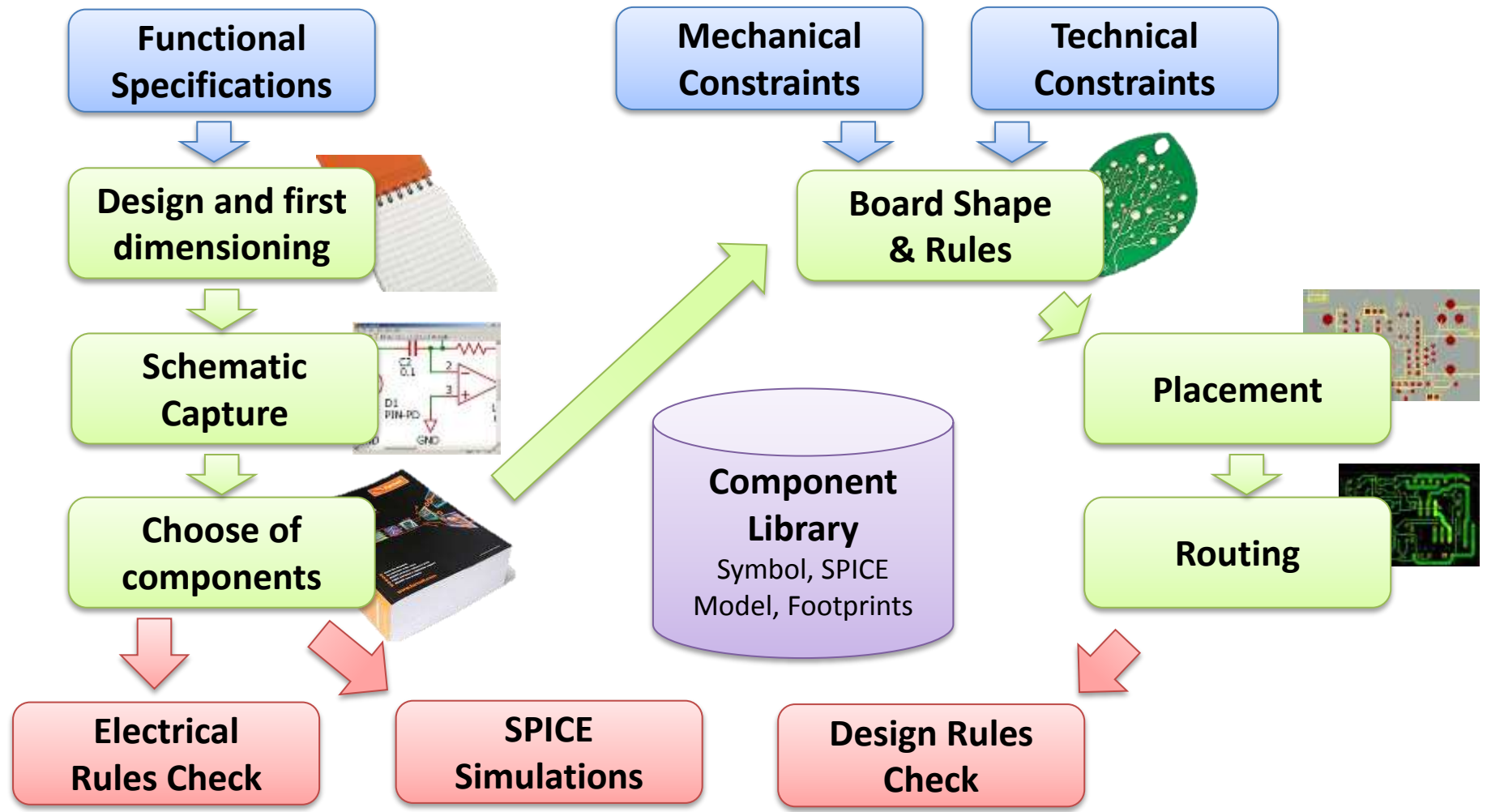
- Pb de diaphonie
- Filtres R-L-C parasites
- Effet antenne
 - Réception
 - Emission

Exploitation rationnelle des comportements parasites pour réaliser des circuits de filtrage

→ **MICRO-STRIPES**

- **Truc & Astuces ...**
- **Optimiser le placement.** Du temps perdu sur le placement c'est au moins autant de temps gagné sur le routage.
- **Ordre de routage**
 - **Signaux sensibles** (clock, paires différentielles...)
 - Signaux au sein des « blocs fonctionnels »
 - Signaux entre les blocs fonctionnels et alimentation
- Définir une **couche principal** et router en priorité dessus.
- Pour les longues connexions, privilégier une **direction de routage** par couche (plus facile à croiser les signaux)
- Sur un multicouche, privilégier les **couches externes pour le routage.**
- Utiliser des **plans de masses et d'alimentation** (multicouche)
- Laisser l'auto-routeur aux coiffeurs !

DESIGN FLOW

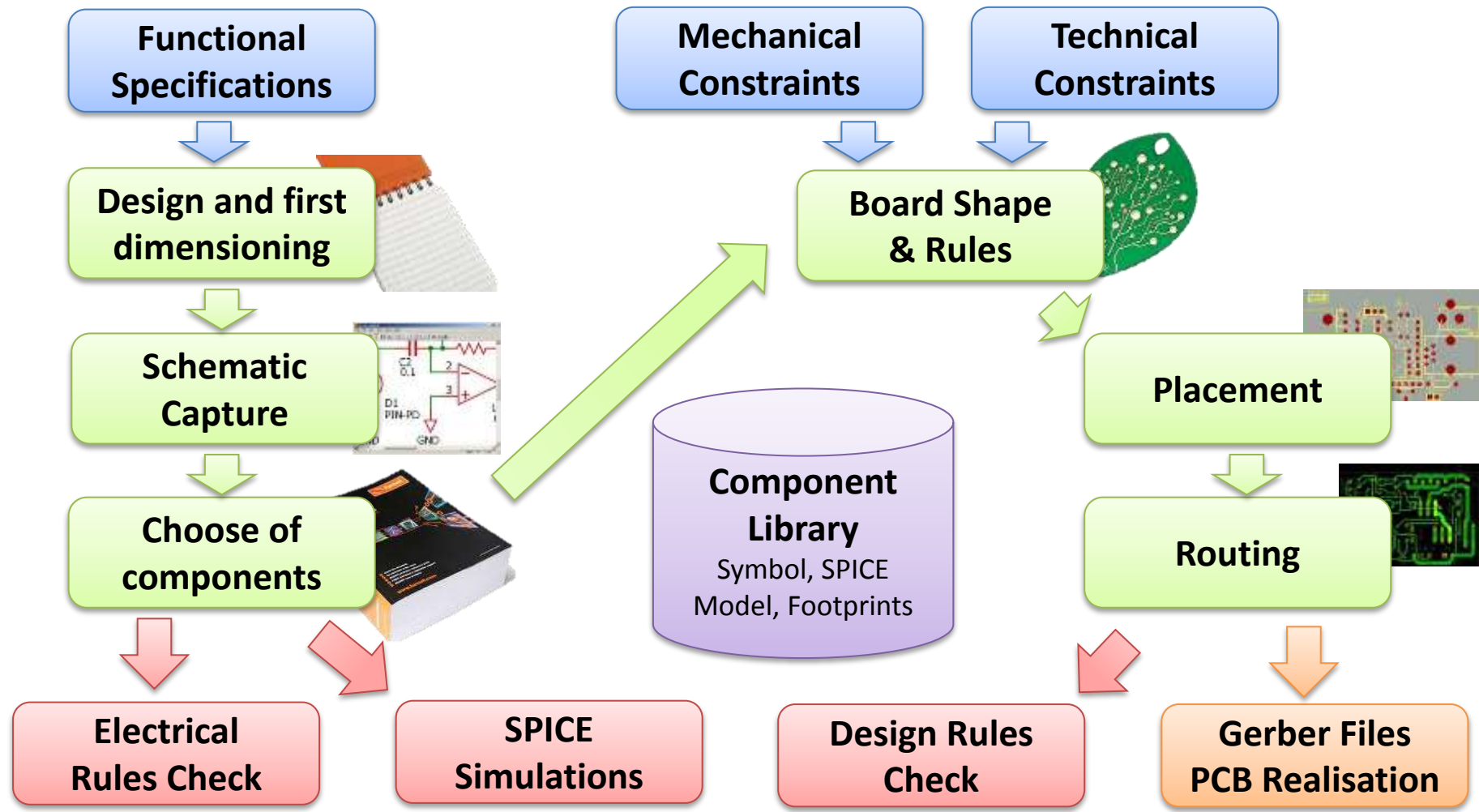


Vérification des règles de dessins

Rules to check

- Clearance
- Short-circuit
- Un-routed net
- Track width
- Differential pair routing
- Accute angles
- Hole size
- Parallel Segments
- Matched Net Length
- Room definition

DESIGN FLOW



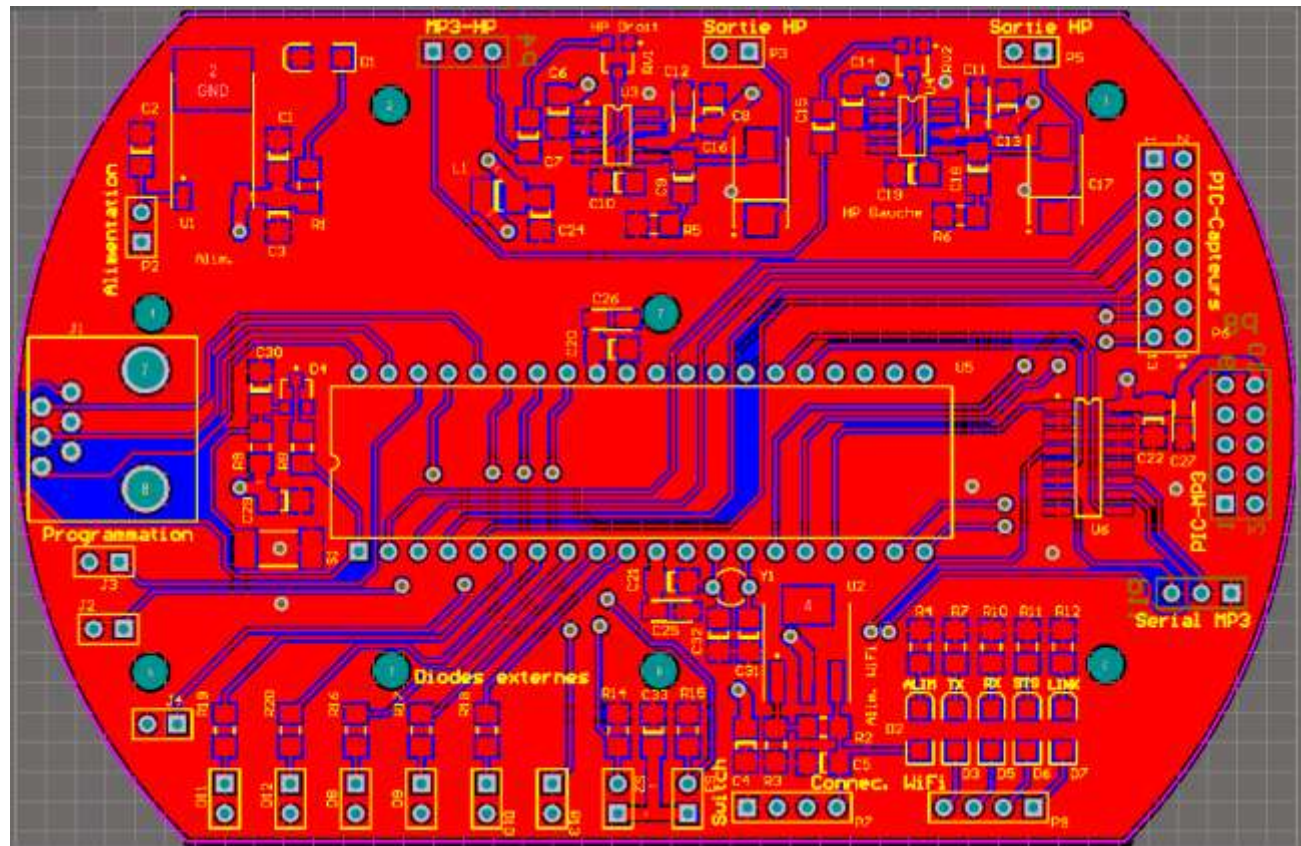
Format standard de fichier pour la conception de CI

Gerber Files

- **Routing files** : 1 par couche de routage :
 - GTL pour le *Top Layer*
 - GBL pour le *Bottom Layer*
 - Gn pour les couches internes
 - GPn pour les plans internes (négatifs)
- **Paste files** : fichier de dépôt de brasure pour les composants CMS (GTP et GBP).
- **Pad master files** : ouverture à prévoir dans le vernis épargne (GPT / GPB).
- **Solder files** : repérage des soudures (GTS / GBS).
- **Keep-out file** : fichier de détournage de la carte (découpe)
- **Drill Drawing** : fichier de trous
 - GG1 (drill guide) indique la position des trous
 - GD1 (drill dimension) indique la taille des trous

Format standard de fichier pour la conception de CI

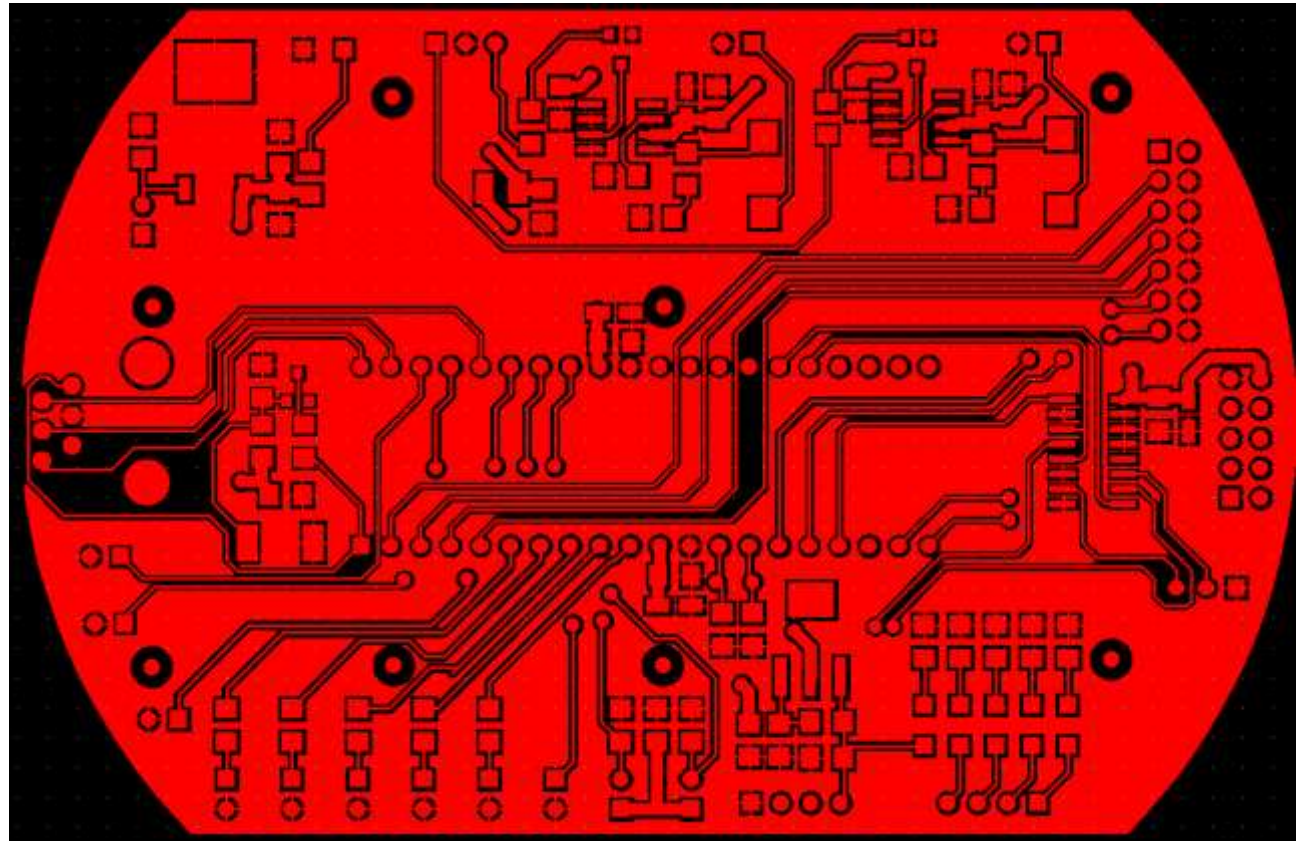
Exemple



Format standard de fichier pour la conception de CI

Exemple

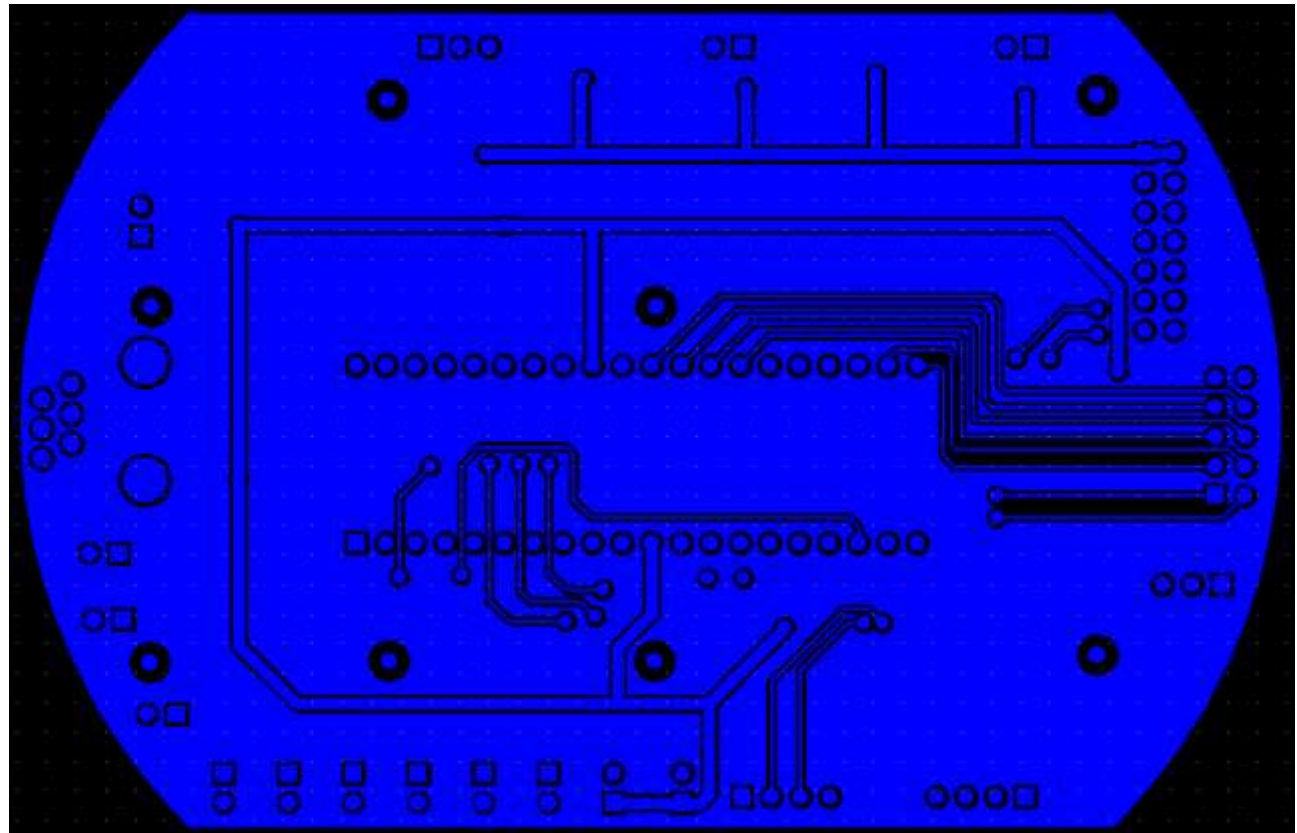
Top Layer
Routing File



Format standard de fichier pour la conception de CI

Exemple

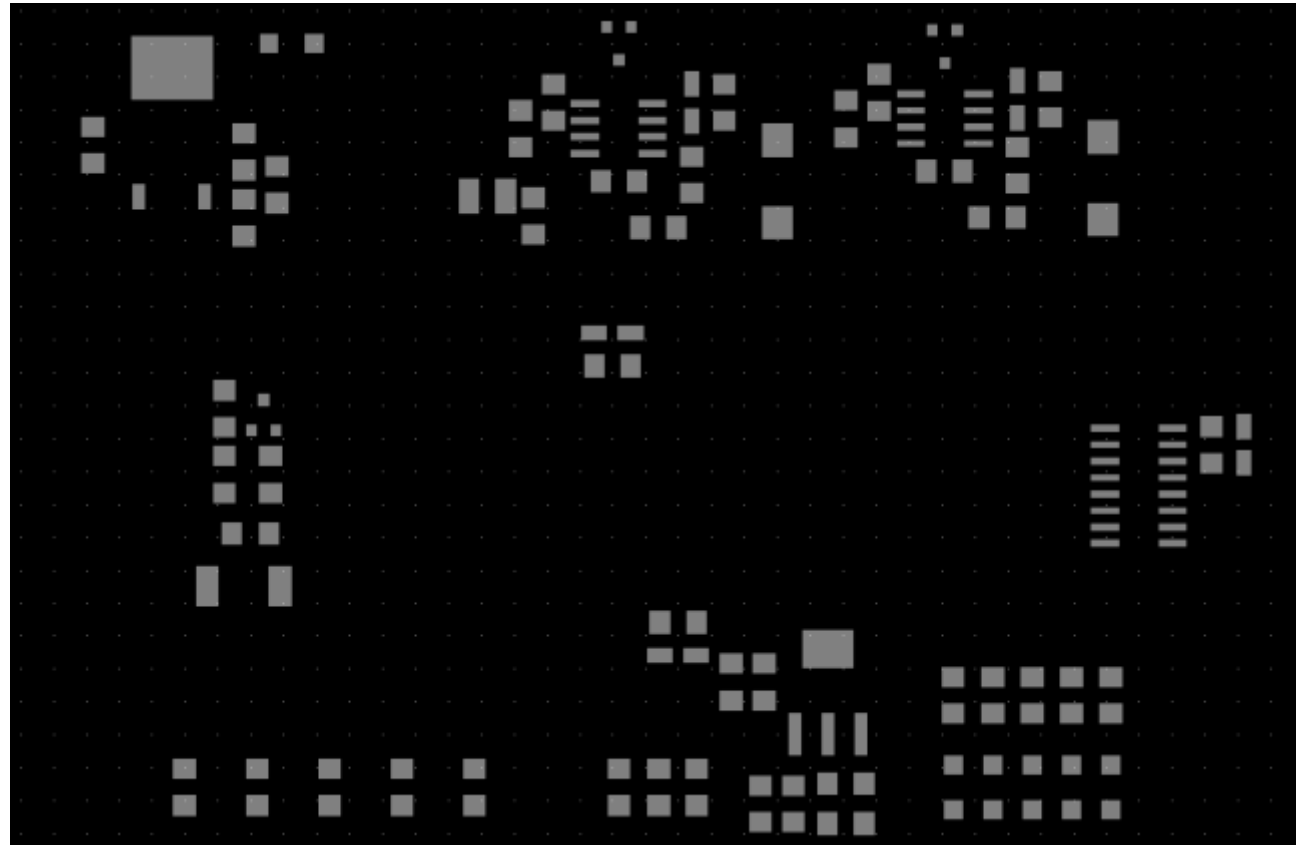
Bottom Layer
Routing File



Format standard de fichier pour la conception de CI

Exemple

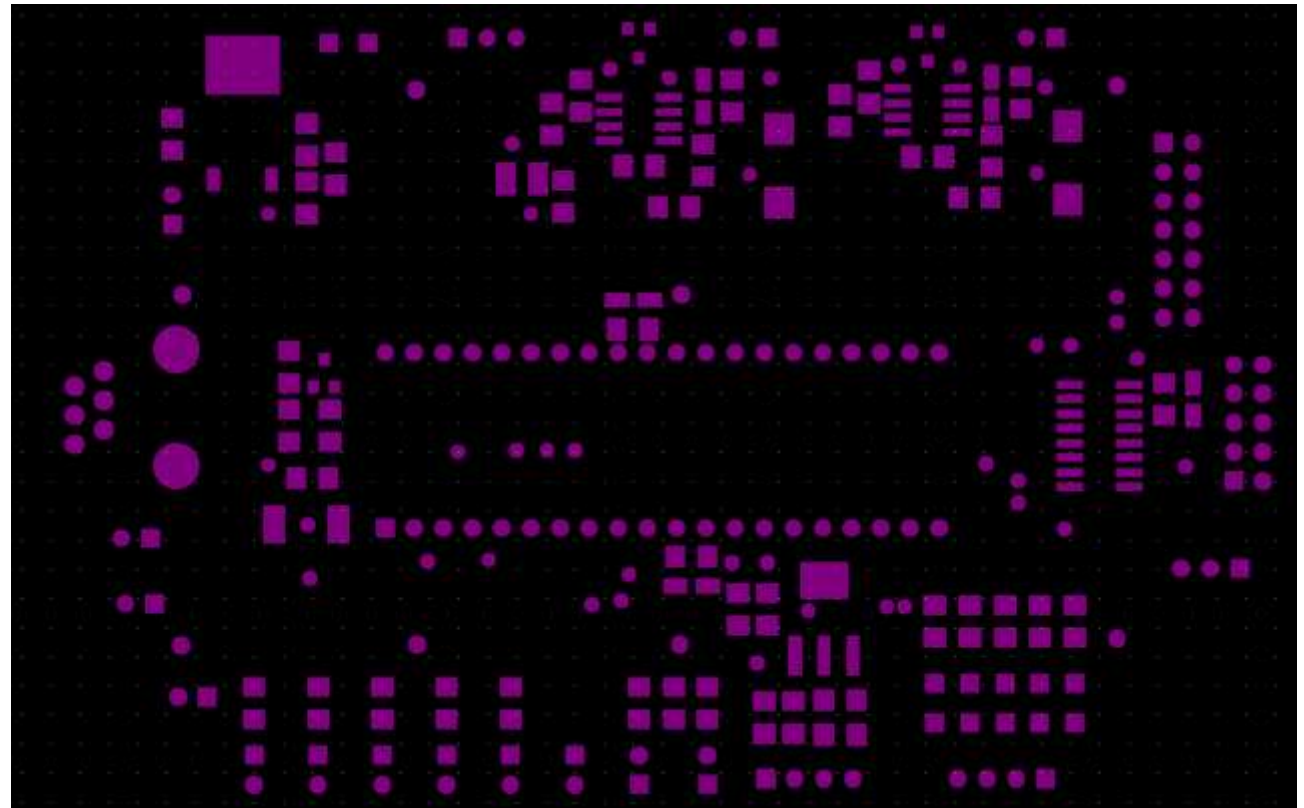
Top Paste



Format standard de fichier pour la conception de CI

Exemple

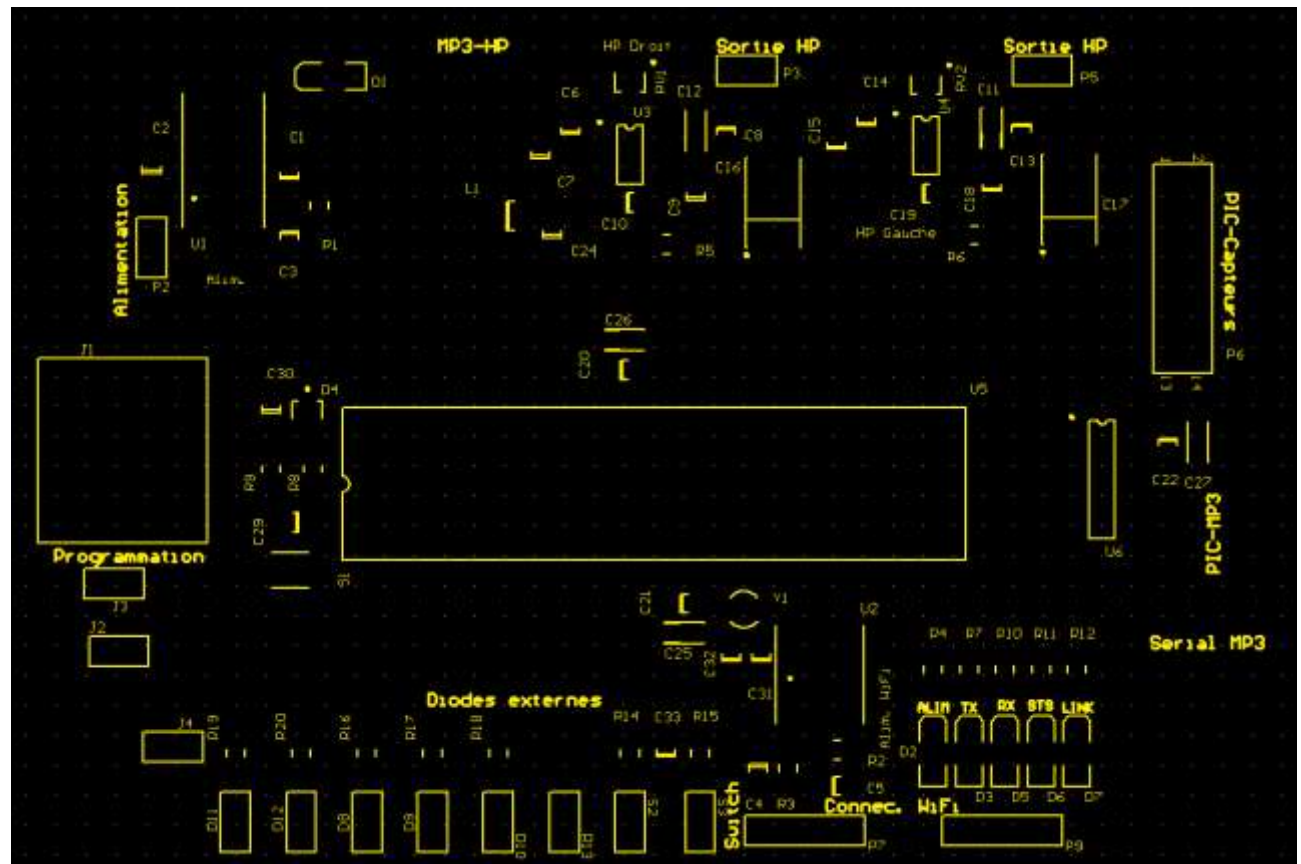
Top Solder



Format standard de fichier pour la conception de CI

Exemple

Top Overlay



Format standard de fichier pour la conception de CI

Exemple

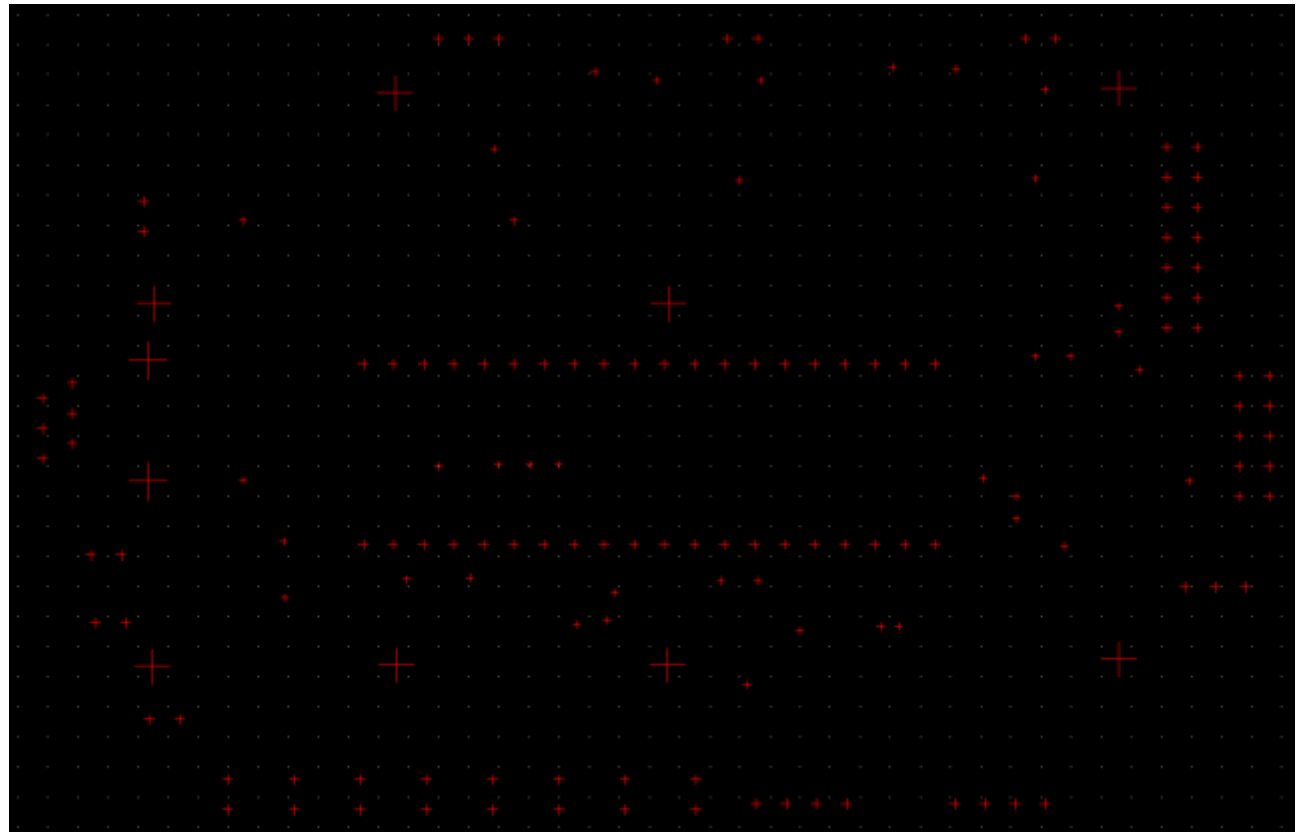
Keepout layer



Format standard de fichier pour la conception de CI

Exemple

Drill Drawing Guide



Format standard de fichier pour la conception de CI

Exemple

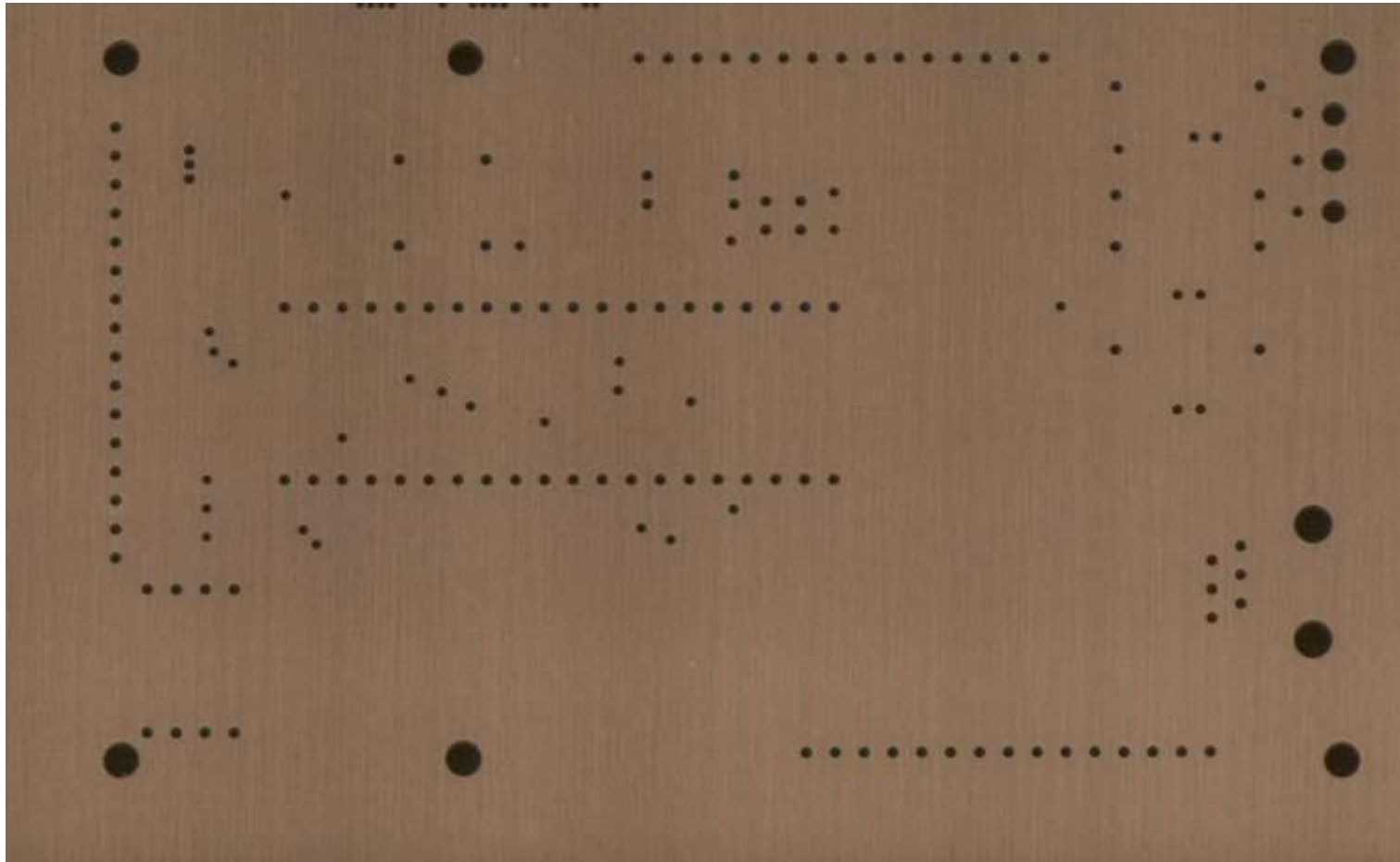
Drill Drawing
Dimension



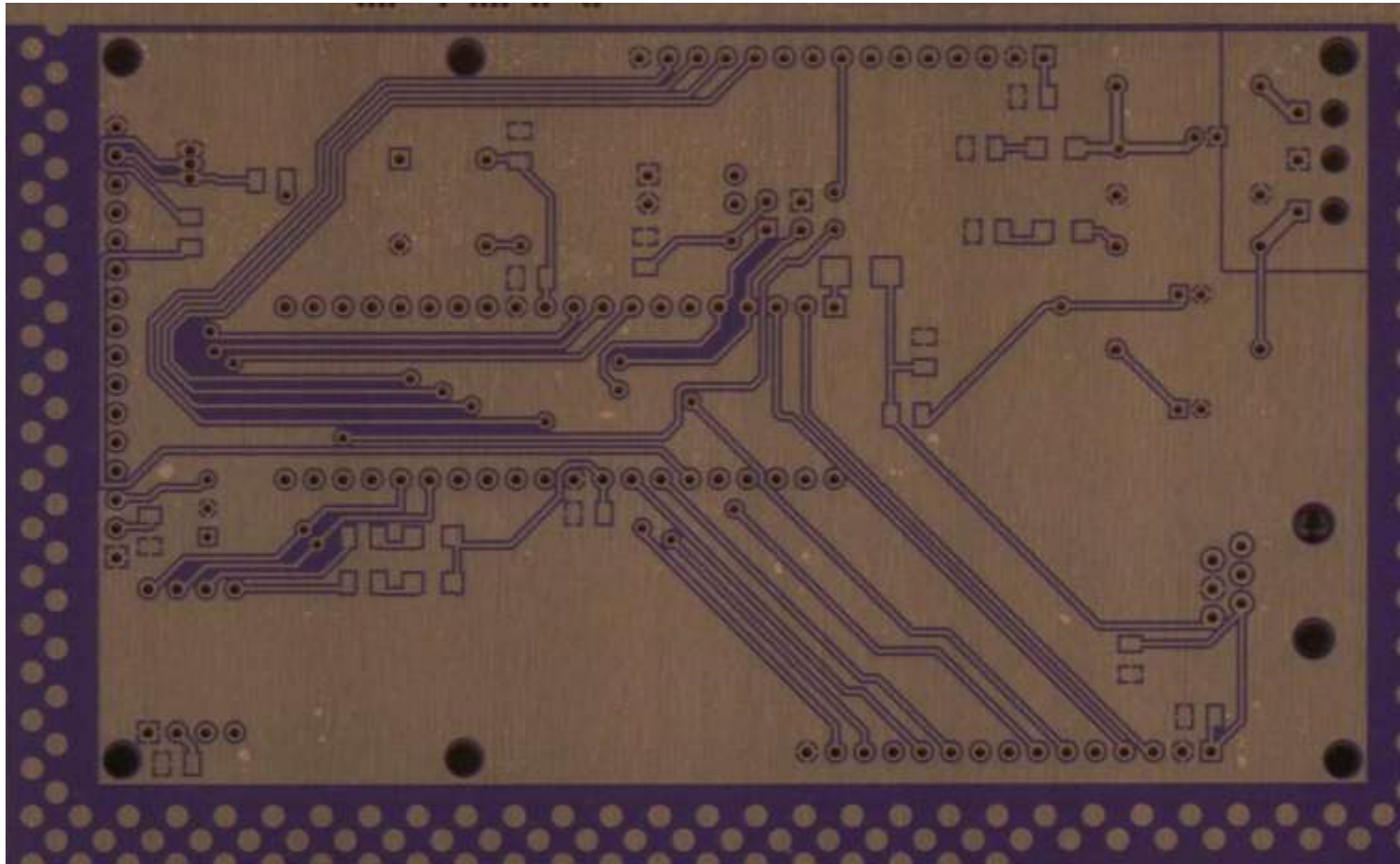
Techniques standards

- Insolation
- Gravure chimique (perchlorure de fer)
- Micro-fraisage / Micro-usinage
- Dépôt sélectif de couche
- Etamage
- Perçage
- Découpe ...

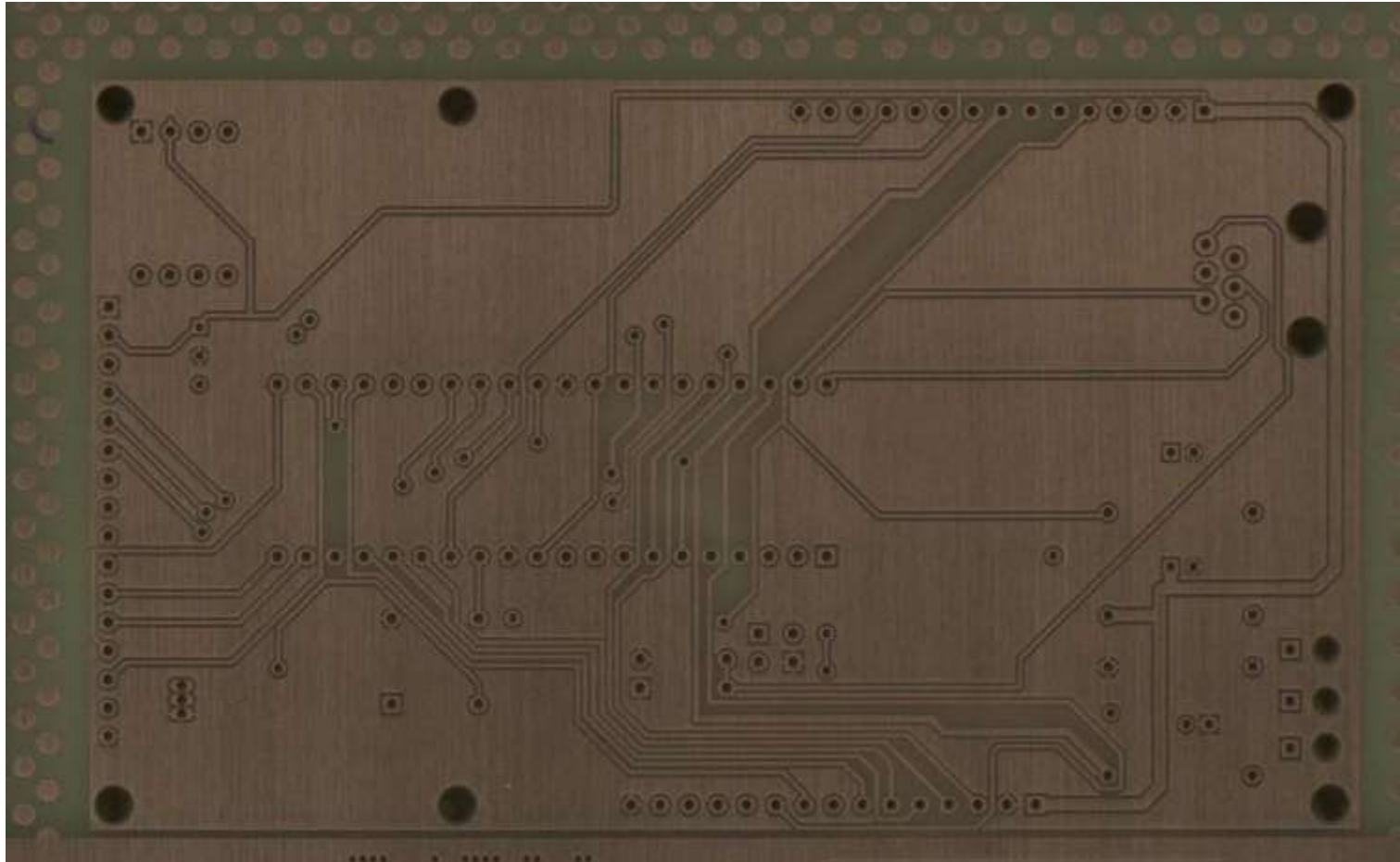
Perçage



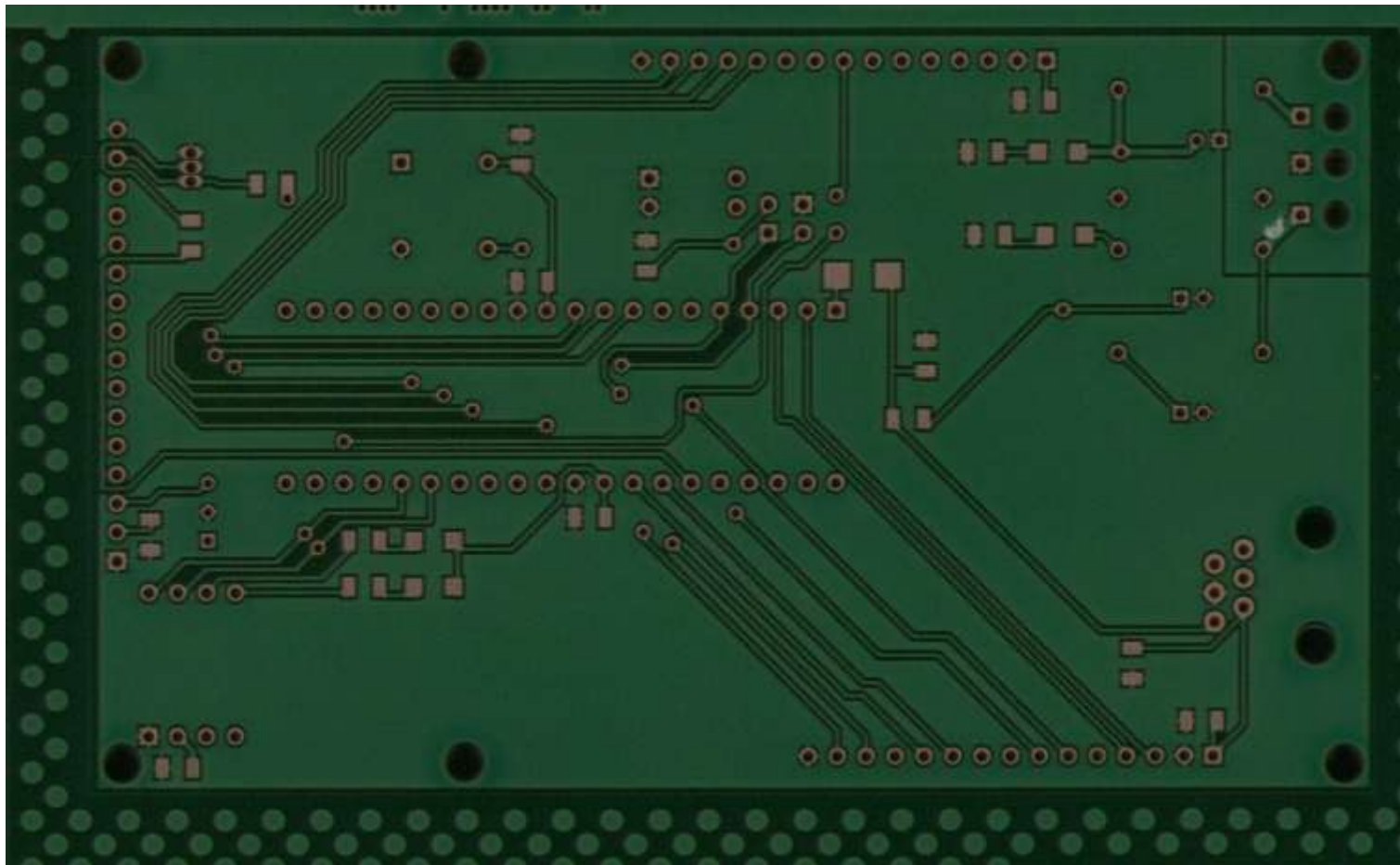
Insolation



Révélation



Vernissage



Sérigraphie

