

**Titre :** Modélisation compacte –*orientée conception* des transistors Multigrilles

**Directeur de Thèse :** Christophe Lallement, Professeur  
Co-directeur : Jean-Michel Sallese, EPFL (Lausanne)  
*Encadrement : M.Madec – J.-M. Sallese, C. Lallement*

**Unité(s) d'Accueil(s) :** ICube, **UMR 7357** (Département D-ESSP, Equipe SMH)

**Établissement de rattachement :** UdS

**Collaboration(s) (s'il y a lieu) :** EPFL

**Rattachement à un programme (s'il y a lieu) :**

**Résumé (1500 caractères au maximum) :**

### Introduction

Les transistors multi-grilles (MuGFETs) comme les FinFETs et GAA sont considérés par l'ITRS comme les meilleurs candidats pour prolonger l'utilisation de la technologie CMOS au-delà de la barrière des 14 nm.

Peu de modèles compacts *-orientés conception* de FinFET ou GAA existent actuellement. Cela est encore plus critique pour les modèles « niveau-porte ».

Ainsi, il existe une réelle attente de la part des concepteurs pour élaborer des circuits ambitieux pour toute technologie MuGFET, et en utilisant un seul modèle compact (ou « niveau porte ») valide pour tout type de MuGFETs (FinFET ou GAA).

### Sujet de thèse:

Le doctorant devra tout d'abord comprendre le fonctionnement électrique des MuGFETs grâce au simulateur de dispositifs *Silvaco*.

Il devra développer un modèle compact de transistors MuGFETs dédié à la conception analogique et mixte. Après validation, ce modèle servira au développement d'un modèle « niveau-porte » de MuGFET dédié à la conception numérique. Celui-ci devra inclure les variations de process. Ses performances seront évaluées au travers la simulation de circuits numériques performants.

Le doctorant s'appuiera sur les résultats récents<sup>1,2,3</sup> obtenus dans l'équipe SMH.

<sup>1</sup>CHEVILLON et al, "Generalization of the concept of equivalent thickness and capacitance to multigate MOSFETs modeling," *IEEE Trans. Electron Devices* 59, 2012, pp. 60-71.

<sup>2</sup>YESAYAN et al, "Physics-based compact model for ultra-scaled FinFETs", *Solid-State Electron.* 62, 2011, pp. 165-173.

<sup>3</sup>CHEVILLON et al "Gate-Level Modeling for CMOS Circuit Simulation with Ultimate FinFETs" *Proc. of IEEE Symposium Nanoarch 2012*